

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08223970 A**

(43) Date of publication of application: 30 . 08 . 96

(51) Int. Cl. H02P 6/18

(21) Application number: 07028510

(71) Applicant: SONY CORP

(22) Date of filing: 16 . 02 . 95

(72) Inventor: . TANINA MASAJI

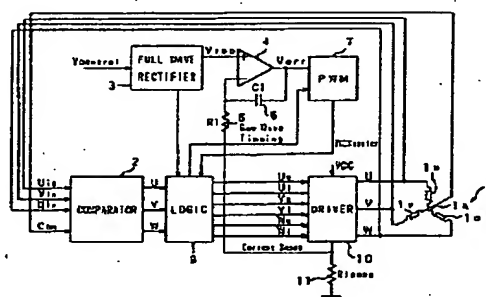
(54) MOTOR DRIVE

(57) Abstract:

PURPOSE: To obtain a motor drive in which the counter electromotive force can be detected even when PWM driving is carried out and direct PWM drive can be realized.

CONSTITUTION: In the sensor type motor drive, a logic section 9 detects the ON section of a PWM in signal delivered from a PWM circuit 7 and the counter electromotive force is taken in from each phase coil 1U, 1V, 1W of a three- phase motor 1 during the ON section thus detected.

COPYRIGHT: (C)1996,JPO



る通電状態切り換え制御手段を有することを特徴とする
請求項3記載のモータ駆動装置。
【請求項5】 上記エンジジ出力手段は、上記マスク処理
手段からのマスク処理出力の立ち上がりエッジ及び立ち
下がりエッジを発生するとともに、現在の通電状態を後
出し、この現在の通電状態に基づいて次に供給されるマ
スク処理出力のエッジが立ち上がりエッジか立ち下がり
エッジかを予測し、
上記通電状態切り換え制御手段は、上記エンジジ出力手段
において、予測されたエッジ以外のエッジが検出された
場合に、上記ホールド手段からの出力を反転することに
より、各相への通電状態を切り換え制御することを特徴
とする請求項4記載のモータ駆動装置。
【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は、例えば磁気ディスク、
光磁気ディスク、コンパクトディスク等の円盤状記録媒
体の記録装置、再生装置、記録再生装置や、ビデオテー
プレコーダ装置、ビデオカメラ装置、カメラ装置等のモ
ータを有するあらゆる機器に適用して好適なモータ駆動
装置に關し、特に、いわゆるセンサレスモータにおける
ダイレクトトルクス駆動回路（ダイレクトPWM駆動）
を可能としたモータ駆動装置に關する。

【0002】
【従来の技術】 従来、図24に示すようなセンサレスド
ライプ方式のモータ駆動装置が知られている。例えば3
相モータ500のU相コイル500U及びV相コイル500V
00Vに電圧を供給すると、U相コイル500U及び
V相コイル500Vはトルクを発生するように動くため
モータとして作用するが、図24に示すように、このため
に発生する逆起電圧を発生する。上記センサレスド
ライプ方式のモータ駆動装置は、このようにして各相コ
イル500U、500V、500Wにそれぞれ発生する
逆起電圧に基づいてロータの回転位置を検出し、該各相
コイル500U、500V、500Wの通電状態を切り
換え制御して回転制御を行うものである。

【0003】 すなわち、上記各相コイル500U、500
0V、500Wから発生する逆起電圧Uin、Vin、
Winは、それぞれフィルタ回路501を介して比較器
502に供給される。また、3相モータ500の中性点
の電圧であるコモン端子500aの共通電圧COM
は、上記フィルタ回路501を介して比較器502に供
給される。

【0004】 上記フィルタ回路501は、図25に示す
ような構成を有しており、上記U相コイル500Uから
の逆起電圧Uinは、抵抗515a及びコンデンサ51
5bで構成されるローパスフィルタ515に供給され
る。また、上記V相コイル500Vからの逆起電圧Vi
nは、抵抗516a及びコンデンサ516bで構成され
るローパスフィルタ516に供給され、上記W相コイル

【特許請求の範囲】
【請求項1】 複素相を有するモータの各相にあらわれ
る各逆起電圧と、モータの中性点の電圧であるコモン電
圧とをそれぞれ比較する比較手段と、
上記モータの回転エラー信号に基づいて、該モータを回
転駆動するためのパルス幅変調信号を出力するパルス幅
変調手段と、
上記パルス幅変調手段からのパルス幅変調信号のレベル
幅が最小となる位置を検出する最小レベル幅検出手段
と、
上記最小レベル幅検出手段により上記パルス幅変調信号
の最小レベル幅が検出されるタイミングで、上記比較手
段からの各比較出力をサンプルホールドするサンプルホ
ールド手段と、
上記サンプルホールド手段からの各サンプルホールド出
力に基づいて、上記モータを回転駆動するモータ駆動手
段と、
【請求項2】 上記サンプルホールド手段は、
上記比較手段からの各比較出力の排他的総和を検出す
る排他的総和検出手段と、
上記各相への通電切り換えタイミングを検出し、このタ
イミングで所定パルス幅のマスク信号を生成するととも
に、このマスク信号により該各相への通電切り換えタイ
ミングで上記排他的総和検出手段からの排他的総和と
出力に重畳するキックバックノイズを除去して出力する
マスク処理手段と、
上記マスク処理手段からのマスク処理出力の立ち上がり
エッジ及び立ち下がりエッジを発生するエンジジ出力手
段と、
上記エンジジ出力手段からのエンジジ出力に基づいて上
記比較手段からの各比較出力をサンプリングするサン
プリング手段と、
上記サンプリング手段からのサンプリング出力を、逆起
電圧の取り込みを行う相以外はサンプルホールドして出
力するホールド手段と、
【請求項3】 上記エンジジ出力手段からのエンジジ出力
に基づいて、上記エンジジ出力手段からのエンジジ出力
に所定時間分の逆起電圧を重畳して出力する逆起電圧重
畳手段を有し、
上記サンプリング手段は、上記逆起電圧重畳手段からの逆起電
圧に基づいて上記比較手段からの各比較出力をサンプリ
ングして上記ホールド手段に供給することを特徴とする即
ち、
請求項2記載のモータ駆動装置。
【請求項4】 上記エンジジ出力手段からのエンジジ出力
力、或いは、上記逆起電圧重畳手段からの逆起電圧の重畳
を後出し、該エンジジ出力力或いは逆起電圧が所定時間
供給されなかった場合、上記ホールド手段の内容を可変
して、上記モータの各相への通電状態を切り換え制御す

るモータ駆動装置。
【請求項5】 上記エンジジ出力手段は、上記マスク処理
手段からのマスク処理出力の立ち上がりエッジ及び立ち
下がりエッジを発生するとともに、現在の通電状態を後
出し、この現在の通電状態に基づいて次に供給されるマ
スク処理出力のエッジが立ち上がりエッジか立ち下がり
エッジかを予測し、
上記通電状態切り換え制御手段は、上記エンジジ出力手段
において、予測されたエッジ以外のエッジが検出された
場合に、上記ホールド手段からの出力を反転することに
より、各相への通電状態を切り換え制御することを特徴
とする請求項4記載のモータ駆動装置。
【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は、例えば磁気ディスク、
光磁気ディスク、コンパクトディスク等の円盤状記録媒
体の記録装置、再生装置、記録再生装置や、ビデオテー
プレコーダ装置、ビデオカメラ装置、カメラ装置等のモ
ータを有するあらゆる機器に適用して好適なモータ駆動
装置に關し、特に、いわゆるセンサレスモータにおける
ダイレクトトルクス駆動回路（ダイレクトPWM駆動）
を可能としたモータ駆動装置に關する。

【0002】
【従来の技術】 従来、図24に示すようなセンサレスド
ライプ方式のモータ駆動装置が知られている。例えば3
相モータ500のU相コイル500U及びV相コイル500V
00Vに電圧を供給すると、U相コイル500U及び
V相コイル500Vはトルクを発生するように動くため
モータとして作用するが、図24に示すように、このため
に発生する逆起電圧を発生する。上記センサレスド
ライプ方式のモータ駆動装置は、このようにして各相コ
イル500U、500V、500Wにそれぞれ発生する
逆起電圧に基づいてロータの回転位置を検出し、該各相
コイル500U、500V、500Wの通電状態を切り
換え制御して回転制御を行うものである。

【0003】 すなわち、上記各相コイル500U、500
0V、500Wから発生する逆起電圧Uin、Vin、
Winは、それぞれフィルタ回路501を介して比較器
502に供給される。また、3相モータ500の中性点
の電圧であるコモン端子500aの共通電圧COM
は、上記フィルタ回路501を介して比較器502に供
給される。

【0004】 上記フィルタ回路501は、図25に示す
ような構成を有しており、上記U相コイル500Uから
の逆起電圧Uinは、抵抗515a及びコンデンサ51
5bで構成されるローパスフィルタ515に供給され
る。また、上記V相コイル500Vからの逆起電圧Vi
nは、抵抗516a及びコンデンサ516bで構成され
るローパスフィルタ516に供給され、上記W相コイル

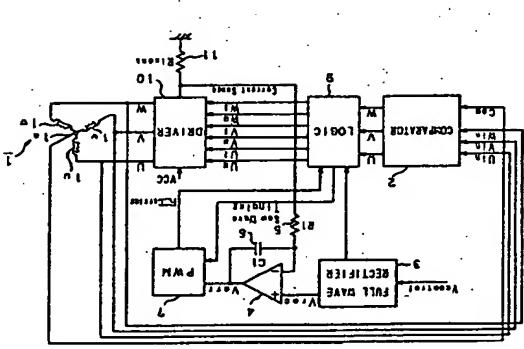
(19) 日本特許庁 (JP) (12) 公開特許公報 (A) (11) 特許公開番号
特開平8-223970
(43) 公開日 平成8年(1996)8月30日

(51) Int. Cl.⁷ H02P 6/18
(52) 国際特許分類 H02P 6/02 371S
技術的効果
特開平7-28510
平成7年(1995)2月16日
特開平7-28510
平成7年(1995)2月16日

(21) 出願番号 特開平7-28510
(22) 出願日 平成7年(1995)2月16日
(71) 出願人 ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 谷名 正次
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(73) 代理人 井野士 小池 晃 (外2名)

(54) 発明の名称 モータ駆動回路

(57) 要約
【構成】 センサレス方式のモータ駆動装置において、
ロジック部8が、PWM回路7からのPWM in 信号の
オン期間を発生し、このオン期間で3相モータ1の各相
コイル1U、1V、1Wからの各逆起電圧の取り込みを
行う。
【効果】 PWM駆動を行っているにも関わらず逆起電
圧を発生することが可能となり、ダイレクトPWM駆動
を可能とすることができる。



6、48、50がそれぞれ動作状態となり、インバータ446cを介した上記W用レジスタ28kから上の反転出力がU用レジスタ制御回路446aを介して上記U用レジスタ28lに供給され、インバータ446cを介した上記I用レジスタ28jからの反転出力がI用レジスタ制御回路446bを介して上記I用レジスタ28iに供給され、インバータ500cを介した上記V用レジスタ28fからの反転出力がV用レジスタ制御回路500dを介して上記V用レジスタ28eに供給される。

【0109】これにより、上記各レジスタ281~283からの出力を次の通信インターンの出力とすることができ、（ステップ送り）、このようなステップ送りでは、上記3相モータ1が起動され、上記S100 信号が供給されなくなり、起動時に確実に回転を開始させることができ、起動特性を改善することができる。

[0110] 次に、上記レジディタ22において、通常は左方向の巡回であることが提供されるとき、上記インバ信号が上記3フェーズレジスタ28に、上記レジスタ28の出力が上記46、48、50がそれぞれ加算体となり、インバータ46を介した上記用レジスタ28からの反転出力がレジスタ28に供給され、インバータ48を介した上記用レジスタ28からの反転出力がレジスタ28に供給され、インバータ50を介した上記用レジスタ28からの反転出力がレジスタ28に供給される。

【0111】これにより、上段各レジスタ281〜284の出力を全て逆方向の回路に反転して出力することである。従来は、逆方向回路時となる、抽出された各逆起電圧と共通電圧COMとの比較出力を異にさせるために、逆起電圧を反転して出力していたが、正確な逆起電圧ミミングに支障をきたす問題があった。しかし、当該モータ駆動回路では、Delay T信号によりゼロクロスポイントから30度遅れたタイミングで逆起電圧をサンプリングするようになっているため、逆方向回路時においても正確なタイミングでも逆起電圧をサンプリングでき、281〜284に保持することができる。そして、逆起電圧ミミング時には、上記Invert信号に基づいて各レジスタ281〜284の内容を極性反転して出力するようにしているため、逆起方向回路時に正確なタイミングで抽出された逆起電圧U_{rs}、V_{rs}、W_{rs}を出力することができ、正確な逆起タイミングで3相モータ1を逆方向に駆動することができ、

[0112] このように上記3フェーズロジック部28で形成された上記各逆起電圧Ures、Vres、Wresは、それぞれ上述のデコーダ部29に供給され、該デコーダ部29において、上記各相の上側トランジスタ及び下側トランジスタをオンオフ制御するための図1～図6のコントロール信号Uu～Wu1に分類されたアクトバンプ

の出力からの総理和をとるANDゲート65bと、各ANDゲート65a、65bの総理和をとるORゲート65dと、ANDゲート65aの出力をメインクロックに基いて同期化するDフリップフロップ66と、該Dフリップフロップ66の出力及びDフリップフロップ74に基いて、上記阿波賀回路からのリバース信号に基づいて形成された逆方向通電を行うためのR₀信号の総理和をとるにより、後に説明するシャープブレーキと方向通電により、とを切替えるためのブレーキ切り換え信号（PWM反動Short/Rev）を形成して出力するORゲート66bとを有している。

[0118] また、上記タイミングコントローラ27は、上記セータ出力制御信号(MOV(OPF))及びANDゲート69 cの出力の論理積をとるANDゲート69 d、ANDゲート69 cの出力と反転したANDゲートaと、ANDゲート69 cにより反転したANDゲート69 dの出力及びDフリップフロップ70の出力の論理積をとるANDゲート69 eと、各ANDゲート69 a、69 bの各出力の論理積をとるORゲート69 dと、ORゲート69 dの出力をメインクロックに基づいて周回するDフリップフロップ70と、Dフリップフロップ70からの出力及びインバータ72 fからの反転出力の論理積をとることに、後に説明する共通遅延回路を出力するための7ビットオートリロード形成回路を形成して、上記ANDゲート71とを有している。

【0119】また、上記タイミングコンローラ27は、インポート72cにより反転されたDフリップフロップ74からの反転R_v信号及びDフリップフロップ75からの出力の論理和をとるANDゲート72aと、上記Dフリップフロップ74からのR_v信号及びインポート72dにより反転されたDフリップフロップ75からの反転出力の論理和をとるANDゲート72bと、ANDゲート72a、72bの各出力の論理和をとるORゲート72cと、上記ORゲート72cの出力を反転して上記インポート71に供給するインバータ72dとを有している。

【0120】また、上記タイミングコントローラ27は、両送受信回路3から供給されるリバース信号及びANDゲート64aの出力の論理和をとるANDゲート73aと、インバータ73cにより反転したANDゲート64aの反転出力及び上記R信号の論理和をとるANDゲート73bと、上記ANDゲート73a、73bの出力の論理和をとるANDゲート73cと、上記タイミングクロックに基づいて上記ORゲート73dからの出力を両方にすることによりR信号を形成するDFリッパフフロップ74と、同様に上記タイミングクロックに基づいて上記ORゲート73dからのR信号をリッパフフロップ74と、同様に上記タイミングクロックに基づいて上記ORゲート73dからのR信号をとるANDゲート73dの出力を両方にするDFリッパフフロップ75とを有している。

【0121】また、上記タイミングコントローラ27は、上記ANDゲート64bからの出力をメインクロックに基づいて同期化することによりSaw Wave L信号を形

コントローラ30に供給される。

[0113] ここで、図15示すように上段タイミングコントローラ27は、上段両相並流回路3からのリバーシ信号 (Reverse)、中央制御ユニット (CPU) 等で形成されたモータのオン/オフ制御するためのモータオン/オフ制御信号 (MOK/Off)、PLL回路25からのシス・オームクロック (PLL Out 信号)、PLL回路25からのシス・オームクロック (PLL Out 信号)、PLL回路25からのシス・オームクロック (PLL Out 信号) 及び例えば500kHzのメインクロック (Main Clock) 及びUP/PWM回路7からのPWM信号 (PWM In) に基づいて、各段タイミング信号を形成するようにになっている。

と、電圧可変型発振器（VCO）５７から出力されるシンセサイズステータスワード（PLL Out 信号）を、１／Ｎカウンタ５８で例えば８分周減衰いは１６周した分周信号（F₁n）の位相と比較する。そして、この位相比較出力をVCO５７を制御駆動する。これにより、上記ESD-out 信号と同調したPLL Out 信号を形成して上記タイミングコントローラ２２に供給することができる。

[0115] 上記タキシングカウントラローラ27は、図3に示すようにオンシレータ26からのメインクロックを2カウントする第1のカウント出力Q1と、上記第1のカウント出力Q1からのカウント出力Q2と、上記第1のカウント出力Q1及び第2のカウント出力Q2との論理和をとるANDゲート28と、上記ANDゲート28からの出力を2カウントする第3のカウント出力Q3と、上記カレント出力Q1、Q2及び第3のカウント出力Q3からのカレント出力Q4を出力する第4のカウント出力Q4とを有している。この各出力力する第4のカウント出力Q4は、全体で16進むカウンタを構成しており、具体的に得られるカレント出力Q4は、メインクロックを16分周したのりとなっている。

【0116】また、上記タイミングコンテローラ27は、上記カウンタ出力Q1、インバータ63aにより反転されたカウンタ出力Q2、カウンタ出力Q3及びカウンタ出力Q4と、インバータ63bにより反転されたカウンタ出力Q1及びカウンタ出力Q2とにより反転されたカウンタ出力Q1及びカウンタ出力Q2とQ3～Q4の論理積をとるANDゲート64aと、カウンタ出力Q1～Q4の論理積をとるANDゲート64cを有している。

[0117] また、上記タイミングコントローラ27は、上記PWM回路7からのPWM信号(PWM In)及び上記ANDゲート64bの出力の論理積をとるANDゲート65aと、インバータ66cにより反転されたANDゲート64bの出力及びDフリップフロップ66b

上記インバータ30aを介したR_{ev}信号の論理値をとるANDゲート89aと、上記デコーダ部29から供給された第6のコンローラ信号W_i及び上記R_{ev}信号の論理値をとるANDゲート89bと、上記各ANDゲート89a、89bの各出力の論理値をとるORゲート89cとで構成されている。

[0146] 上記W_i信号形成部90は、上記デコーダ部29から供給される第5のコンローラ信号W_u及び上記R_{ev}信号の論理値をとるANDゲート90aと、上記R_{ev}信号の論理値をとるANDゲート90bと、上記各ANDゲート90a、90bの各出力の論理値をとるORゲート90cとで構成されている。

[0147] そして、上記ANDゲート91aは、上記U_u信号形成部85のORゲート85c及び上記各ORゲート90b、30dの論理値をとって第1のコンローラ信号U_uを出力し、上記ANDゲート91bは、上記U_i信号形成部86のORゲート86c及び上記各ORゲート90b、30dの論理値をとって第2のコンローラ信号U_iを出力するようになっている。

[0148] また、上記ANDゲート92aは、上記V_u信号形成部87のORゲート87c及び上記各ORゲート90b、30dの論理値をとって第3のコンローラ信号V_uを出力し、上記ANDゲート92bは、上記V_i信号形成部88のORゲート88c及び上記各ORゲート90b、30dの論理値をとって第4のコンローラ信号V_iを出力するようになっている。

[0149] また、上記ANDゲート93aは、上記W_u信号形成部89のORゲート89c及び上記各ORゲート90b、30dの論理値をとって第5のコンローラ信号W_uを出力し、上記ANDゲート93bは、上記W_i信号形成部90のORゲート90c及び上記各ORゲート90b、30dの論理値をとって第6のコンローラ信号W_iを出力するようになっている。

[0150] このような構成を有するアクトブクトンANDゲート90は、上記各ANDゲート91a、91b、ANDゲート92a、92b及びANDゲート93a、93bにおいて、上記PWM回路7から供給されるPWM In信号に基づいて、上記第1〜第6のコンローラ信号U_u〜W_iにPWM変調をかけて出力する。また、圧を後述するためのPWM On信号、真逆電流を防止するブレーキを切り換えるためのPWM 反転Short/Rev信号及び逆方向流電流を行うためのR_{ev}信号もPWM変調をかけて出力する。

[0151] この第1〜第6のコンローラ信号U_u〜W_i（及びPWM On信号、OutputOpen信号、PWM 反転Short/Rev信号及びR_{ev}信号）は、それぞれ図1に

示すドライバ部10に供給される。

[0152] 上記ドライバ部10は、図1に示すように上記アクトブクトンコンローラ30aからの第1〜第6のコンローラ信号U_u〜W_i（及びPWM On信号、OutputOpen信号、PWM 反転Short/Rev信号及びR_{ev}信号）をそれぞれ所定の利得で増幅するバッファアンプ94a〜94fと、各バッファアンプ94a〜94fの出力線に接続された抵抗95a〜95fとを有している。

[0153] また、上記ドライバ部10は、上記抵抗95aにベースが接続された第1のコンローラ信号U_u用の上層トランジスタ96aと、上記抵抗95bにベースが接続された第2のコンローラ信号U_i用の下層トランジスタ96bと、上記抵抗95cにベースが接続された第3のコンローラ信号V_u用の上層トランジスタ96cと、上記抵抗95dにベースが接続された第4のコンローラ信号V_i用の下層トランジスタ96dと、上記抵抗95eにベースが接続された第5のコンローラ信号W_u用の上層トランジスタ96eと、上記抵抗95fにベースが接続された第6のコンローラ信号W_i用の下層トランジスタ96fとを有している。

[0154] 上記各上層トランジスタ96a、97a、98aの各コレクタは、それぞれ電源電圧V_{CC}に接続されており、各下層トランジスタ96b、97b、98bは、3相モータ1の各相コイル1U、1V、1Wに供給する電流源を後述するための電流源出力部11にそれぞれ接続されている。また、上記各上層トランジスタ96a、97a、98aの各エミッタは、それぞれ各下層トランジスタ96b、97b、98bのコレクタに接続されており、各上層トランジスタ96a、97a、98aの各エミッタと、各下層トランジスタ96b、97b、98bのコレクタとの接続点から3相モータ1の相コイル1U、1V、1Wに供給する駆動電圧を取り出すようになっている。

[0155] このような構成を有するドライバ部10は、上記第1〜第6のコンローラ信号が供給されると、これに応じて各上層トランジスタ96a、97a、98a及び各下層トランジスタ96b、97b、98bがそれぞれオンオフ制御される。そして、この各上層トランジスタ96a、97a、98a及び各下層トランジスタ96b、97b、98bのオンオフ制御に応じた電圧V_{CC}が、上記各接続点から取り出され、これらが相コイル1U、1V、1Wにそれぞれ供給される。

[0156] 上記各相コイル1U、1V、1Wにそれぞれ供給される駆動電圧は、それぞれ上記電流源出力部11により電圧のかたちで後述される。この電流源出力部11により後述される駆動電圧は、それぞれ抵抗95a及びコンデンサ9からなる積分回路で積分処理された上記比較器4に供給される。上記比較器4は、上述のように上記

積分処理された駆動電圧と上記基準値V_{ref}とを比較し、この比較出力V_{err}をPWM回路7に供給する。上記PWM回路7は、上述のように上記Saw Wave Timing信号に基づいて形成された駆動電圧と上記比較出力V_{err}とを比較し、この比較結果をPWM In信号（PWM Carrier）としてロジック部9に供給する。これにより、上記ロジック部9において、上記PWM In信号に応じた第1〜第6のコンローラ信号を形成することができ、上記3相モータ1をPWM In信号により直接的に駆動するタイレントPWM駆動を行うことができ、また、上記各相コイル1U、1V、1Wにそれぞれ発生する逆起電圧に基づいてロータの回転位置を検出して各相コイル1U、1V、1Wへの通電状態を切り換え制御することができ、ホール素子等の回転位置検出手段を取ることなく、3相モータ1を回転制御することができる（センサレス駆動）。

[0157] 次に、本実施例に係るモータ駆動装置の動作を通じて説明すると、まず、通常回転時には、上記比較器2において上記図2(a)に示すような各逆起電圧U_{in}、V_{in}、W_{in}とコンプレックス電圧V_{err}とを比較し、図2(b)〜(d)に示すように比較出力U_v、V_v、W_vを形成して上記図1に示すロジック部9に供給する。上記ロジック部9は、上記各比較出力U_v、V_v、W_vの論理値をとることにより図2(e)に示すようなError信号を形成し、Error信号には、逆起電圧のタイミグでキックバックノイズが重畳しているため、上記ロジック部9は、このキックバックノイズの発生タイミング（通電切り換えのタイミグ）で形成した、図2(j)に示すような所定パルス幅の第1のマスク信号によりこのキックバックノイズをマスク処理し、図2(i)に示すようなMasked Error信号を形成する。

[0158] 次に、上記ロジック部9は、図2(h)に示すインタナナルロックを用いて上記Masked Error信号を同期化し図2(g)に示すようなSD Error信号を形成するとともに、このSD Error信号をトリガとして電圧角で30度遅れた図2(i)に示すようなDelay T信号を形成し、このDelay T信号のタイミグで上記比較器2からの各比較出力U_v、V_v、W_vのいずれかをサンプリングしてU_{res}、V_{res}、W_{res}を形成する。このU_{res}、V_{res}、W_{res}は、上記各レジスタ28i、28j、28kに保持されるが、この際、U_{res}、V_{res}、W_{res}をデコードして形成した図2(o)〜(g)に示すような第3のマスク信号により逆起電圧を取り込み相対的にサンプリングされる。これにより、上記各レジスタ28i、28j、28kからは、図2(k)〜(m)に示すようなU_{res}、V_{res}、W_{res}が出力される。

[0159] 次に、上記デコーダ部29が、上記U_{res}、V_{res}、W_{res}から各相コイルの上層トランジスタ及び下層トランジスタをオンオフ制御するための、図2

(r)〜(w)に示すような駆動電圧U_u、U_i、V_u、V_i、W_u、W_iを形成してアクトブクトンコンローラ30に供給し、このアクトブクトンコンローラ30が、上記駆動電圧U_u、U_i、V_u、V_i、W_u、W_iに、上記R_{ev}信号、OutputOpen信号、PWM On信号及びPWM 反転Short/Rev信号を重畳して上記ドライバ部10に供給する。上記ドライバ部10は、上記駆動電圧U_u、U_i、V_u、V_i、W_u、W_iにより各相の上層トランジスタ及び下層トランジスタがオンオフ制御されることにより形成された駆動電圧U_u、V_u、W_uにより上記3相モータ1を回転駆動する。

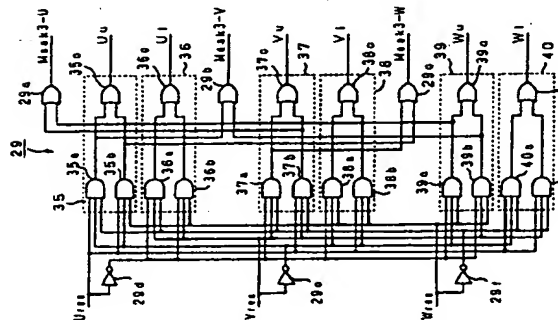
[0160] 次に、このような通常回転時におけるPWM動作を説明すると、まず、上記3相モータ1の各相コイル1U、1V、1Wからは図2(a)に示すような逆起電圧U_{in}、V_{in}、W_{in}がそれぞれ発生する。このうち、上記逆起電圧W_{in}を拡大してみると図2(b)に示すようになっている。そして、タイレントPWM駆動を行うと上記逆起電圧W_{in}が、図2(d)に示すSaw Wave Timing信号と、図2(e)に示す幅幅(Saw Ray a)及び比較器4からの比較出力V_{err}により形成された図2(f)に示すようなPWM In信号（PWM Carrier）により分析され、上記逆起電圧U_{in}、V_{in}、W_{in}が供給される比較器2からの比較出力W_v（及びU_v、V_v）もこれに応じて図2(g)に示すように分析される。

[0161] ここで、上記図2(g)に示すようにPWM In信号がオン状態のときには逆起電圧W_{in}（及びU_{in}、V_{in}）があらわれ、PWM In信号がオフ状態のときには、W相端子電圧（及びU相、V相端子電圧）はマイナステレレベルに、また、コンプレックス電圧はレベルまで落ち込む。このため、上記PWM In信号がオフ状態のときには逆起電圧の検出が可能となるので、あるが、逆にいえば、これはPWM In信号がオン状態のときには逆起電圧の検出が可能であることを示している。

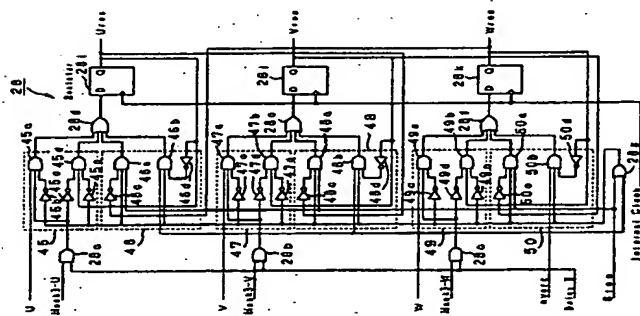
[0162] そこで、上記タイミグコンローラ27は、上述のようにPWM In信号のバース値が最小となる位置で同期化された図2(h)に示すようなインタナナルロックを形成する。このインタナナルロックは、上記PWM In信号のオン状態のときに逆起電圧の検出が可能となるので、あるが、逆にいえば、これはPWM In信号がオン状態のときには逆起電圧の検出が可能であることを示している。

[0163] これにより、上記比較出力W_v（及びU_v、V_v）が上記PWM In信号により分析されていても、図2(i)に示すような分析の生じていない状態の比較出力W_v（W_uレジスタ28kの出力W_{res}）を形成することができ、このため、PWM駆動にも関わらず逆起

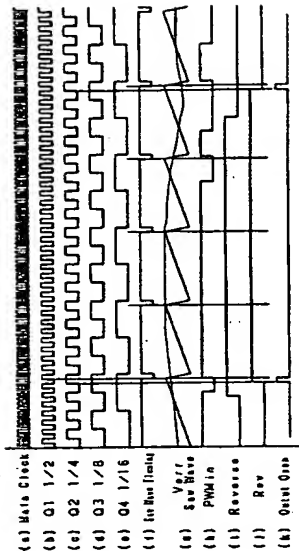
【図1.0】



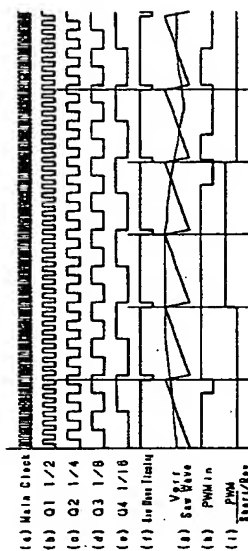
【図1.1】



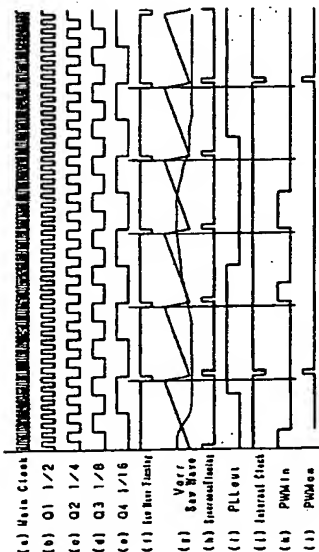
【図1.2】



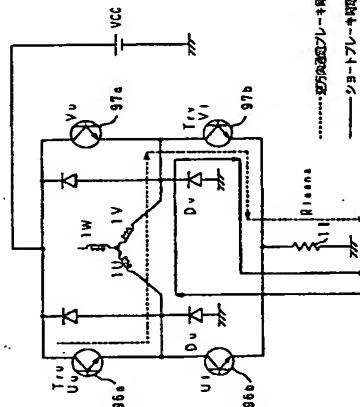
【図1.6】



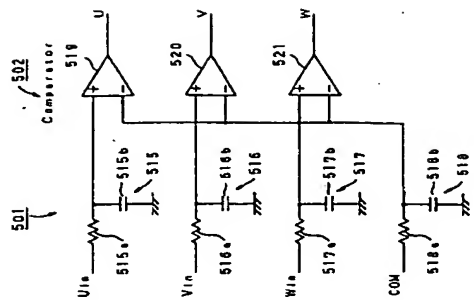
【図1.4】



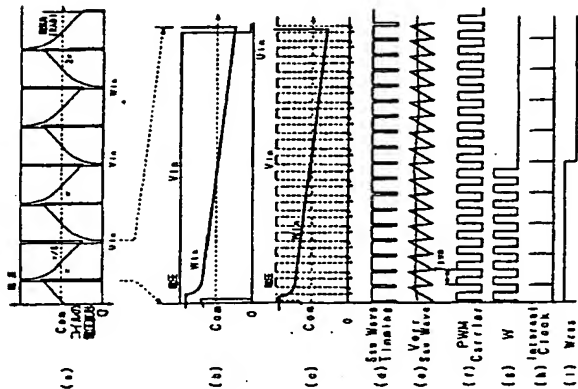
【図2.2】



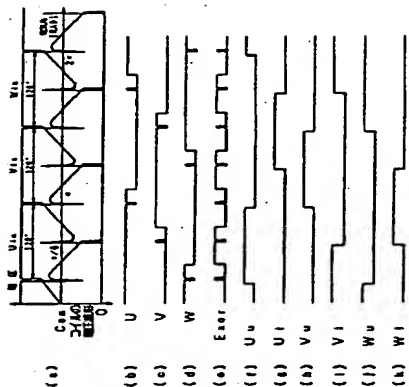
【図2.5】



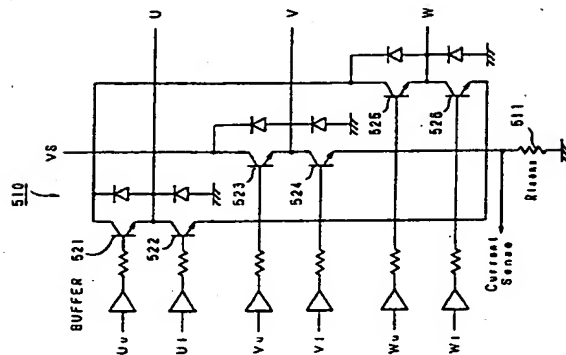
【図2.2】



【図2.6】



【図2.3】



【図2.9】

